

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-044176

(43)Date of publication of application : 16.02.1989

(51)Int.Cl.

H04N 5/10

(21)Application number : 62-199899

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 12.08.1987

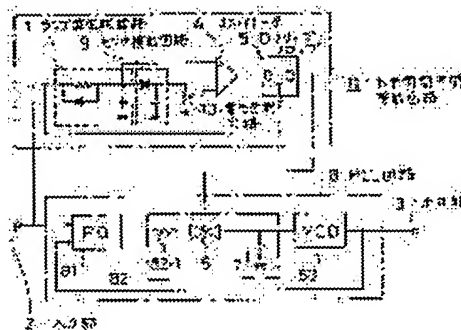
(72)Inventor : KOMORI TOSHIO
TAKAKUWA SEI

(54) SYNCHRONIZING SIGNAL SEPARATING CIRCUIT

(57)Abstract:

PURPOSE: To successively and stably separate a horizontal synchronizing signal by providing a PLL circuit for separating the horizontal synchronizing signal from a composite synchronizing signal and a horizontal synchronizing irregularity detecting circuit for detecting horizontal synchronizing signal irregular signal from the composite synchronizing signal.

CONSTITUTION: The PLL circuit 8 defines the composite synchronizing signal in which a vertical synchronizing signal is compounded with the horizontal synchronizing signal to be an input and separates the horizontal synchronizing signal from the composite synchronizing signal. The horizontal synchronizing irregularity detecting circuit 11 detects the irregular interval of the horizontal synchronizing signal of the composite synchronizing signal to control the PLL circuit 8 so as to freely by an output signal thereof.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-44176

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)2月16日

H 04 N 5/10

Z-6940-5C

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 同期信号分離回路

⑯ 特 願 昭62-199899

⑰ 出 願 昭62(1987)8月12日

⑱ 発 明 者 小 森 敏 夫 広島県福山市緑町1番8号 三菱電機株式会社福山製作所内

⑲ 発 明 者 高 桑 聖 広島県福山市緑町1番8号 三菱電機株式会社福山製作所内

⑳ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉑ 代 理 人 弁理士 曾我 道照 外3名

明 細 書

1. 発明の名称

同期信号分離回路

2. 特許請求の範囲

(1) 垂直同期信号と水平同期信号とが複合された複合同期信号が入力され、前記複合同期信号から前記水平同期信号を分離するPLL回路と、前記複合同期信号から水平同期不揃信号を抽出する水平同期不揃検出回路とを備え、前記水平同期不揃検出回路が前記複合同期信号に垂直同期信号区間だけでなく等化パルスの存在する前記水平不揃い信号区間を検出した時、前記PLL回路は前記水平同期不揃検出回路の出力信号でフリーランするように制御されることを特徴とする同期信号分離回路。

(2) PLL回路は、位相比較回路と、ローパスフィルタと、電圧コントロール発振器とから構成されることを特徴とする特許請求の範囲第1項記載の同期信号分離回路。

(3) 水平同期不揃検出回路は、ランプ波生成回

路と、ピーク検出回路と、電圧分割回路と、コンパレータと、Dフリップフロップとから構成されることを特徴とする特許請求の範囲第1項記載の同期信号分離回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、同期信号分離回路、特に例えば、ビデオ信号の複合同期信号から水平同期信号だけを分離して取り出すことができるようにされた同期信号分離回路に関するものである。

〔従来の技術〕

第3図は、従来からのこの種の同期信号分離回路を示す概略構成図である。図において、(1)はワンショット・マルチバイブレータであって、入力部(2)および出力部(3)を有しており、また、コンデンサ(4)および抵抗(5)が設けられている。このコンデンサ(4)および抵抗(5)は、ワンショット・マルチバイブレータ(1)から出力されるパルス信号のパルス幅を決定するためのものである。

第4図は、上記従来例における複合同期信号の

特開昭64-44176(2)

入力信号と出力信号との態様の例示図であり、その中で、第4図(a)は、いわゆるセレーション・パルス(S_p)が挿入されている時の入力信号としての複合同期信号の態様であり、第4図(b)は、これに対応して得られる出力信号の態様である。また、第4図(c)は、セレーション・パルス(S_p)が挿入されていない時の入力信号としての複合同期信号の態様であり、第4図(d)は、これに対応して得られる出力信号の態様である。ここで、例えば、第4図(a)についてみると、ある所定の時間間隔をもって水平同期信号(S_h)が見掛け上連続しており、これと重畳するように垂直同期信号(S_v)が挿入されている。そして、この第4図(a)の場合には、前述されたセレーション・パルス(S_p)が垂直同期信号(S_v)の区間において使用されている。

従来の同期信号分離回路は上記のように構成され、まず第4図(a)に示されているような複合同期信号が入力される場合についてみると、セレーション・パルス(S_p)が使用されていることから、水平同期信号(S_h)が見掛け上連続しており、この

ために、そのエッジでワンショット・マルチバイブレータ(1)をトリガすることにより、水平同期信号成分だけを取り出すことができる。しかるに、例えば、CRT駆動用ビデオ出力装置の一部においては、前述のセレーション・パルス(S_p)が使用されず、第4図(c)に示されているように、垂直同期信号(S_v)の区間内で水平同期信号(S_h)が見掛け上消失するような複合同期信号が入力されることがある。このような場合には、第4図(d)に示されているように、取り出された水平同期信号成分に欠落部分が生じることになる。

〔発明が解決しようとする問題点〕

上記のような従来の同期信号分離回路では、複合同期信号における垂直同期信号(S_v)の区間内でセレーション・パルス(S_p)が使用されていない時には、前記垂直同期信号(S_v)の区間内における水平同期信号成分が欠落してしまうという問題点があった。更に、例えば、ある所定のビデオ信号を適宜にデジタル的に処理してから所定のメモリに書き込もうとするような場合には、前記のよ

うに分離して取り出した水平同期信号を使用して次に続くPLL回路を駆動し、所要のサンプリング・クロックを作成しようとする時に、前記PLL回路の同期を乱してしまうという問題点もあつた。

この発明は、かかる問題点を解決するためになされたもので、水平同期信号を複合同期信号から分離して取り出すためにPLL回路を使用し、水平同期信号の成分が欠落している部分を、前記PLL回路のフリーラン発振によって補うことができるようにされた同期信号分離回路を得ることを目的とする。

〔問題点を解決するための手段〕

この発明に係る同期信号分離回路は、垂直同期信号と水平同期信号とが複合された複合同期信号が入力され、前記複合同期信号から前記水平同期信号を分離するPLL回路と、前記複合同期信号から水平同期不揃信号を検出する水平同期不揃検出回路とを備えたものである。

〔作用〕

この発明においては、水平同期不揃検出回路が

複合同期信号の水平同期信号の不揃いな区間を検出した時、前記水平同期不揃検出回路の出力信号でPLL回路をフリーランするように制御するようにする。

〔実施例〕

第1図はこの発明の一実施例による同期信号分離回路を示す概略構成図である。図において、(1)はランプ波生成回路であって、入力部(2)と接続され、入力部(2)に加えられる複合同期信号が1の時、出力電圧を増加させる。(9)はピーク検出回路であって、ランプ波生成回路(1)と接続され、ランプ波生成回路(1)の出力信号のピーク電圧をホールドする。(10)は電圧分割回路であって、ピーク検出回路(9)と接続されている。(4)はコンパレータであって、その一方の入力側がランプ波生成回路(1)の出力側と、その他方の入力側が電圧分割回路(10)の出力側と接続されていて、ランプ波生成回路(1)の出力(ランプ波信号)と電圧分割回路(10)の出力(スライスレベル)とを比較する。(5)はDフリップフロップであって、そ

特開昭64-44176(3)

のD端子がコンパレータ(4)の出力側と、そのT端子がランプ波生成回路(1)の入力側と接続されており、複合同期信号の立ち下がりによってコンパレータ(4)の出力をラッチする。

以上のランプ波生成回路(1)、コンパレータ(4)、Dフリップフロップ(5)、ピーク検出回路(9)および電圧分割回路(10)で水平同期不揃検出回路(11)を構成している。

PLL回路(8)は、位相比較回路(PD)(81)、ローパスフィルタ(LPF)(82)および電圧コントロール発振器(VCO)(83)から構成され、位相比較回路(PD)(81)と電圧コントロール発振器(VCO)(83)間のローパスフィルタ(LPF)(82)にはアナログスイッチ(6)とホールドコンデンサ(7)が接続されている。なお、ローパスフィルタ(LPF)(82)は、抵抗(82-1)、アナログスイッチ(6)およびホールドコンデンサ(7)から成る。

第2図は上記実施例における複合同期信号の入力信号と出力信号の態様の例示図である。図にお

いて、第2図(A)は入力部(2)に加えられる複合同期信号であり、これにはセレーション・パルス(S_e)および等化パルス(E_e)が使用されている。第2図(B)の実線はランプ波生成回路(1)の出力でランプ波信号である。第2図(B)の破線はコンパレータ(4)の負側の入力となるスライスレベルである。第2図(C)はコンパレータ(4)の出力信号である。第2図(D)はDフリップフロップ(5)の出力信号で水平同期不揃信号である。第2図(E)は電圧コントロール発振器(VCO)(83)からの出力信号を示す。

上記のように構成された同期信号分離回路において、第2図(A)の複合同期信号が入力部(2)に加えられると、ランプ波生成回路(1)の出力は第2図(B)に示されるようなランプ波信号となる。このランプ波信号はピーク検出回路(9)に加えられ、電圧分割回路(10)で電圧分割されて第2図(B)の破線のようなスライスレベルとなる。このスライスレベルとランプ波信号をコンパレータ(4)で比較すると、第2図(C)で示されるコンパレ

ータ出力信号となる。このコンパレータ出力信号を複合同期信号(第2図(A)参照)の立ち下がりによってラッチすると第2図(D)に示されるように水平不揃信号が出力される。

また、PLL回路(8)には複合同期信号(第2図(A)参照)に加えられる。この複合同期信号に等化パルス(E_e)または垂直同期信号(S_v)が重畳されている時には水平同期不揃信号が出力され、ローパスフィルタ(LPF)(82)のアナログスイッチ(6)は回路を遮断する。そのため電圧コントロール発振器(VCO)(83)はフリーランし、その発振周波数は乱されることがない。

[発明の効果]

この発明は以上説明したとおり、垂直同期信号と水平同期信号とが複合された複合同期信号が入力され、前記複合同期信号から前記水平同期信号を分離するPLL回路と、前記複合同期信号から水平同期不揃信号を検出する水平同期不揃検出回路とを備えているので、等化パルスや垂直同期信号が重畳されても所要の水平同期信号を連続的に

かつ安定に分離して取り出すことができ、またワンショットマルチバイブレータを使用していないので異なる周波数の水平同期信号にも調整なしで対応できる効果がある。

4. 図面の簡単な説明

第1図はこの発明の一実施例による同期信号分離回路を示す概略構成図、第2図は上記実施例における入出力信号および水平同期不揃検出回路(11)の内部信号の例示図、第3図は従来の同期信号分離回路の概略構成図、第4図は上記従来例における入出力信号の例示図である。

図において、(1)・・・ランプ波生成回路、(2)・・・入力部、(3)・・・出力部、(4)・・・コンパレータ、(5)・・・Dフリップフロップ、(6)・・・アナログスイッチ、(7)・・・ホールドコンデンサ、(8)・・・PLL回路、(81)・・・位相比較回路(PD)、(82)・・・ローパスフィルタ(LPF)、(83)・・・電圧コントロール発振器(VCO)、(9)・・・ピーク検出回路、(10)・・・電圧分割回路、(11)・・・水平同期不揃検出回路である。